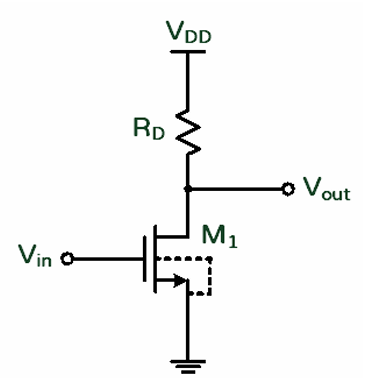
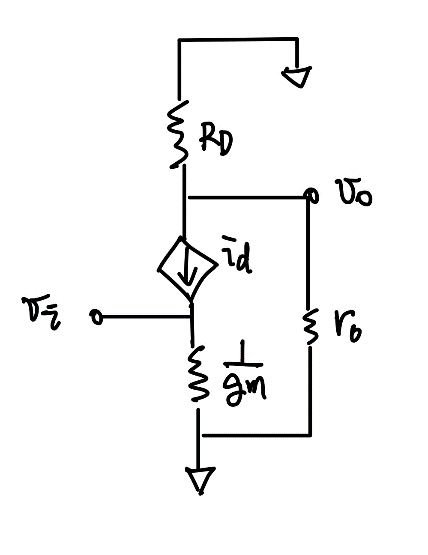
**Analog IC Design Homework 2 Report**

* Student ID : 110011207
* Name : 林士登
* Department : ESS工科系25級

**Question 1. ﹣Common Source (CS)**

***Small signal model***

***Common Source***

此題要達成的條件有四個

1. M1 operates in saturation region

我們要選定W/L與的值來符合上述結果。

1. 首先，我將CS的小訊號模型畫出來，以方便做增益與輸出電阻的分析，接下來，依據各個條件列出一些分析的電流電壓等式，以下列點皆對應上述題目要求條件。
2. Saturation :
3. if saturation
4. 由小訊號模型可以得知

由上述的式子中，可以總結出

1. 設計時需考量

在設計的時候，我先固定W/L=3um/1um, ，第一次的數據如下

1. Operating region = linear
2. Vout = 0.084V
3. |Av| = 0.1978V/V
4. Vth = 0.39362V

觀察數據發現Vout太小且在線性區的原因為太大，因此要條小一點，並且考慮到增益必須大，

所以試著加大W/L但保持等比例，讓L增加誘使Reverse short channel effect的發生讓Vth下降，這樣可以加大電流使Av提升。第二次的試驗選定W/L=6um/2um, ，結果如下

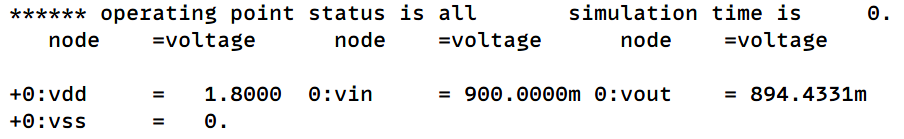
1. Operating region = linear
2. Vout = 0.219V
3. |Av| = 0.652V/V
4. Vth = 0.349V

從這次試驗結果可以看到以上的推論及調整趨勢都是正確的，Vout與|Av|都有提升的趨勢，但要再變大才能進入飽和區。第三次的試驗決定調整，試驗結果如下

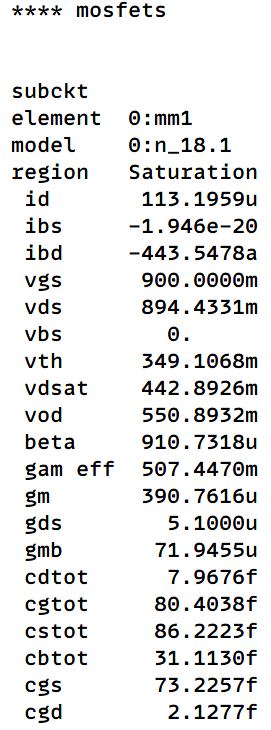
1. Operating region = saturation
2. Vout = 0.89444331V
3. |Av| = 3.0031V/V
4. Vth = 0.349V

這次的試驗完全符合條件(1.)~(4.)，最終的參數數值為W/L=6um/2um, 。

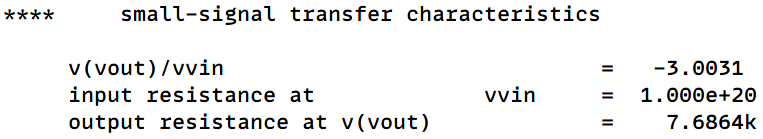
1. **Voltage of each operating point**



**Parameters of mosfet M1**



1. **Small signal model parameters**



1. 這題使用(b)題之參數求得Vout,dc、|Av|、Rout三個參數
2. Vout的部分我使用兩種算法來求得，但大方向都來自。

這種方法使用的電流公式是最原始的，但是現今的模型已無法使用普通電流公式來求得，因此這個方法計算出的Vout有些誤差，因此(e)小題計算誤差使用第二種方式的數值。

1. 直接取用.lis檔中的Id來計算
2. 已在(a)部分推導完畢，ro沒有明確的數值標示在檔案中，但可以由gds=1/ro這個關係式推導出
3. 可以由小訊號模型以及增益公式推導出來

這些極小的誤差來源可能來自Hspice模擬取位數字與手算取位數字的不同，或者是理想模型的公式可能與實際模型較複雜的計算方式有些出入，導致數值有些微的偏差。

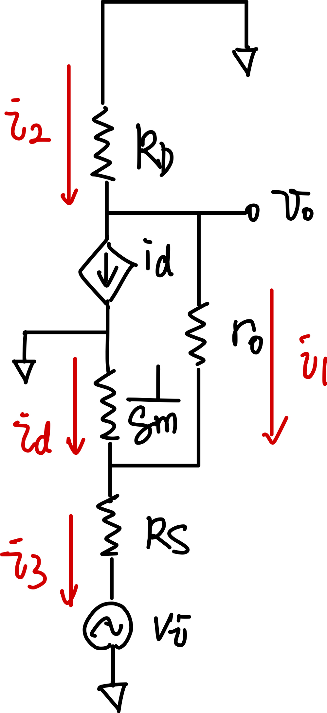
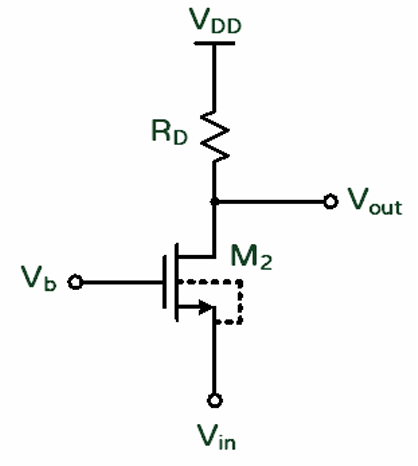
|  |  |  |  |
| --- | --- | --- | --- |
|  | **Specification** | **simulation** | **hand-calculation** |
| **VDD** | 1.8V | | |
| **Vin,DC** | 0.9V | | |
| **M1 (W/L, m)** | – | W/L=6um/3um, m=1 | |
| **RD** | < 50kΩ | 8kΩ | |
| **Vout,DC** | 0.9V±1% | 0.8944V | 0.8944328V |
| **gain |Av|** | > 3V/V | 3.0031V/V | 3.00354804V/V |
| **output impedence** | – | 7.6864kΩ | 7.68639508kΩ |
| **ID** | – | 113.1959uA | – |

**Table 1.** Specification table for CS

**Question 2. ﹣Common Gate (CG)**

***Small signal model***

***Common Gate***

此題要達成的條件也是四個

1. M2 in saturation
2. Vout,dc = 0.891V~0.909V
3. |Av|>9(V/V)
4. RD<100kΩ

以此標準來設計W/L、Vb以及RD。

**V1**

1. 首先，對CG繪出等效的小訊號模型，以下列點分別會分析上述條件對應的電流電壓公式。
2. 當M2在飽和區時，代表其

從這個式子可以得知Vb須大於0.9V並且Vb上升時，需調整RD下降，反之亦然。

與第一題相關，Vb、RD、W/L上升都會造成Vout下降。

1. |Av|要由小訊號模型分析，由上圖可以得知i2=i1+id=i3，以下推導|Av|之公式

由上述式子可以判斷當RD上升時，|Av|也會跟著上升。

在調整參數方面，第一次試驗我固定W/L=3um/1um，選定Vb=1V、RD=50kΩ，得到以下的實驗結果

1. Operational region = saturation
2. Av = 4.5496V/V
3. Vout = 1.4368V
4. Id = 7.2634uA

從上述結果來看，發現Av太小，且Vout太大，再由上面公式的推導可以大概推測下一步應該要加大RD，以放大Av，但同時Vb不能太大造成離開飽和區的現象，因此第二次試驗中，選定W/L=3um/1um、Vb=1V、RD=95kΩ加大RD觀察數據結果如下

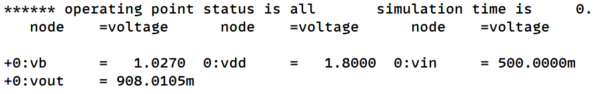
1. Operational region = saturation
2. Av = 8.0302V/V
3. Vout = 1.1391V
4. Id = 6.9566uA

從這次結果可以看出整體大方向是正確的，只差一點點調整就能達成目標，因此這邊我要調整的是Vb，並保持RD不變，讓Vb = 1.027V，增加Id，會增加些許Av，也會降低Vout，並且調整非常少的Vb會讓操作區域不變，讓此次結果成功符合標準

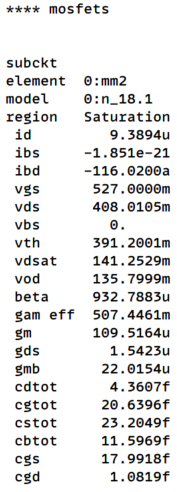
1. Operational region = saturation
2. Av = 9.2015V/V
3. Vout = 0.9080105V
4. Id = 9.3894uA

我的最終參數數值為Vb = 1.027V、W/L=3um/1um、RD = 95kΩ。

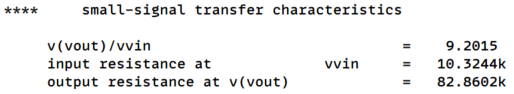
1. **Voltage of each operating point**



**Parameters of mosfet M2**



1. **Small signal model parameters**



1. 比較Vout, Av, Rin, Rout估算值與模擬值

Hand Calculations

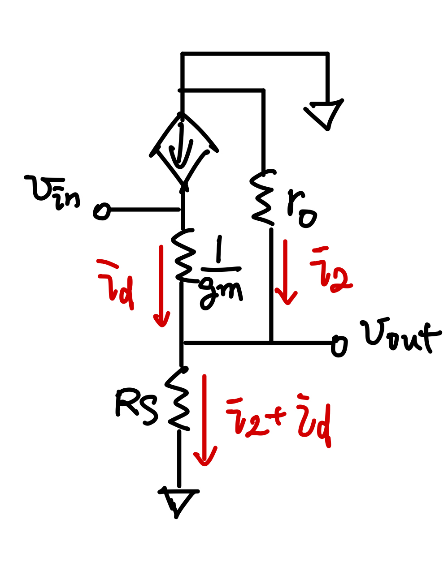
1. 由上頁的小訊號模型可以得知
2. 由上課講義以及推導可知 ，令RS=0

Error Rate

計算出來的誤差值都很小，微小的誤差可能是因為製程上或是模型上的微小差異，或是數值取位上不一致等等原因。

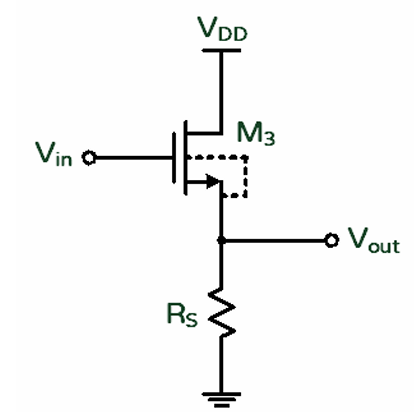
|  |  |  |  |
| --- | --- | --- | --- |
|  | **Specification** | **simulation** | **hand-calculation** |
| **VDD** | 1.8V | | |
| **Vin,DC** | 0.5V | | |
| **M2 (W/L, m)** | – | W/L=3um/1um, m=1 | |
| **RD** | < 100kΩ | 95kΩ | |
| **Vout,DC** | 0.9V±1% |  |  |
| **gain |Av|** | > 9V/V |  |  |
| **input impedence** | – | kΩ | kΩ |
| **output impedence** | – | kΩ | kΩ |
| **ID** | – | 9.3894uA | – |

**Table 2.** Specification table for CG

**Question 3. ﹣Common Drain (CD)**

***Small signal model***

***Common Drain***

此題要求要達成的條件有四個

1. M3 in saturation
2. Vout,dc = 0.891V~0.909V
3. |Av|>0.75(V/V)
4. RS<80kΩ

以這些標準來設計W/L以及RS。

1. 下列各點列式皆對應上述的標準來分析
2. M3在飽和區代表

由此可知在飽和區的條件是相對容易的。

由此式子分析，假設當固定時，RS增加，會造成Vout減少，但Vout減少會造成增加，所以增加，這是和Vout減少的假設矛盾的，因此我們可以得知當RS增加，Vout會增加，反之亦然。

1. 再來是小訊號模型的分析，上圖中可以看到，且RS電流為i2+id

由式子可得知，當RS增加時，|Av|會增加。

第一次試驗我選擇W/L=3um/1um，RS先假定標準的一半40 kΩ，得到的數據如下

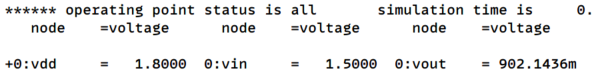
1. M3 in saturation
2. Av = 0.8667V/V
3. Vout = 0.88952V

從數據中可以觀察Av已經超過要求標準0.75V/V，且Vout差一點點就進入，因此由上面分析來看，RS再增加一點就能讓Vout上升達成目標，第二次試驗選擇RS=45kΩ，結果如下

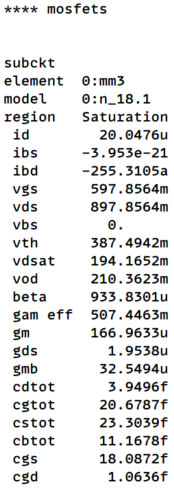
1. M3 in saturation
2. Av = 0.8735017V/V
3. Vout = 0.9021436V

第二次調整已達到所有標準，最終參數數值為W/L=3um/1um、RS=45kΩ。

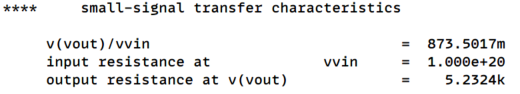
1. **Voltage of each operating point**



**Parameters of mosfet M2**



1. **Small signal model parameters**



1. 比較Vout, Av, Rout估算值與模擬值

Hand Calculations

1. 從小訊號模型得知

Error Rate

由這些數值可以看到誤差並不大，只有非常些許的差異，在CS及CG的分析也提過微小的誤差可能是因為製程、模型上的微小差異，或數值取位上不一致等等原因。

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Specification** | **simulation** | **hand-calculation** |
| **VDD** | 1.8V | | |
| **Vin,DC** | 1.5V | | |
| **M3 (W/L, m)** | – | W/L=3um/1um, m=1 | |
| **RS** | < 80kΩ | 45kΩ | |
| **Vout,DC** | 0.9V±1% | V | V |
| **gain |Av|** | > 0.75V/V | V/V | V/V |
| **output impedence** | – | kΩ | kΩ |
| **ID** | – | 20.0476uA | – |

**Table 3.** Specification table for CD